

print out

Patent/Publication No. 200416594

200416594

Title Improved computing architecture and related system and method

Publication Date 2004/09/01

Application Date 2003/10/29

Application No. 092130031

IPC G06F-009/22

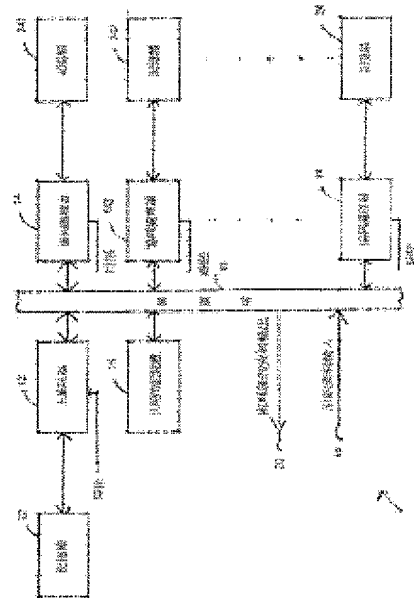
Inventor MATHUR, CHANDAN US;  
HELLENBACH, SCOTT US;  
RAPP, JOHN W US;  
JACKSON, LARRY US;  
JONES, MARK+ US

Applicant LOCKHEED MARTIN CORPORATION US

Priority Number 

|            |    |              |
|------------|----|--------------|
| 2002/10/31 | US | 20020422503P |
| 2003/10/09 | US | 20030684102  |

**Abstract** A peer-vector machine includes a host processor and a hardwired pipeline accelerator. The host processor executes a program, and, in response to the program, generates host data, and the pipeline accelerator generates pipeline data from the host data. Alternatively, the pipeline accelerator generates the pipeline data, and the host processor generates the host data from the pipeline data. Because the peer-vector machine includes both a processor and a pipeline



accelerator, it can often process data more efficiently than a machine that includes only processors or only accelerators. For example, one can design the peer-vector machine so that the host processor performs decision-making and non-mathematically intensive operations and the accelerator performs non-decision-making and mathematically intensive operations. By shifting the mathematically intensive operations to the accelerator, the peer-vector machine often can, for a given clock frequency, process data at a speed that surpasses the speed at which a processor-only machine can process the data

200416594

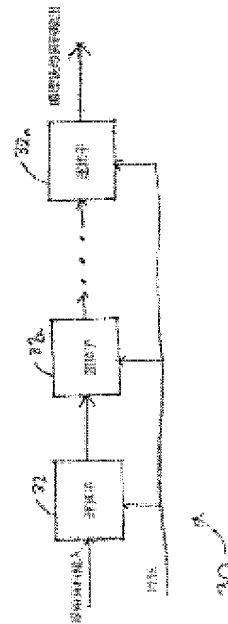
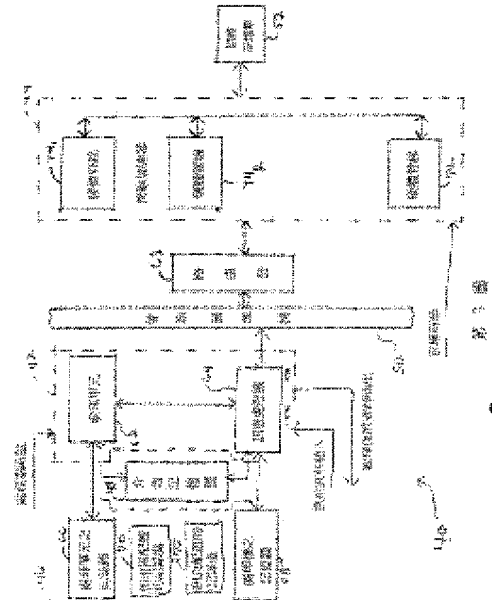


图 2

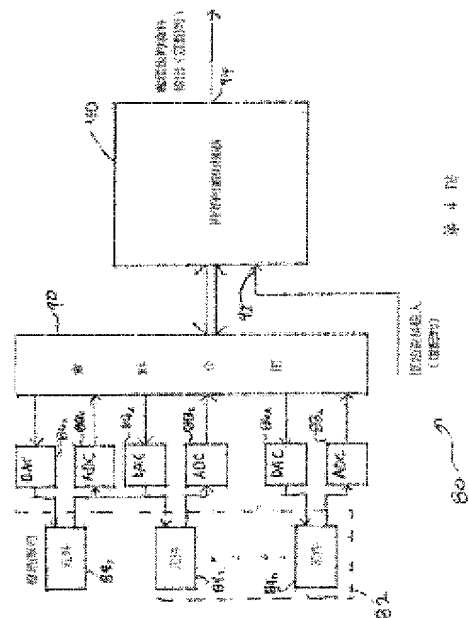
Individual

N

2004:653



20436594





# 中文專利說明書

---

## CHINESE SPECIFICATION



國際專利法律事務所

TAI E INTERNATIONAL PATENT & LAW OFFICE

Head Office: 9Fl., No. 112, Sec. 2, Chang-An E. Rd.

Taipei 104, Taiwan, R.O.C.

P. O. Box 46-478, Taipei 104, Taiwan, R.O.C.

Tel: 886-2-25081531, 25061023

Fax: 886-2-25076571, 25064319, 25090804, 25068147

URL: <http://www.tale.com.tw>

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

**壹、發明名稱：**(中文/英文)

改良的計算架構及相關的系統與方法

IMPROVED COMPUTING ARCHITECTURE AND RELATED SYSTEM AND METHOD

**貳、申請人：**(共 1 人)

姓名或名稱：(中文/英文)

拉克希德馬丁股份有限公司/Lockheed Martin Corporation

代表人：(中文/英文)

住居所或營業所地址：(中文/英文)

美國維吉尼亞州 20110 馬納沙斯古德威路 9500 號郵政信箱 043 大樓 400 號

Bldg. 400, Mail Drop 043, 9500 Godwin Drive, Manassas,

Virginia 20110, U.S.A.

國 籍：(中文/英文)

美國/U.S.A.

**參、發明人：**(共 6 人)

發明人 1

姓 名：(中文/英文)

錢丹 馬瑟/MATHUR, CHANDAN

住居所地址：(中文/英文)

美國維吉尼亞州 20109 馬納沙斯私人巷 11162 號

11162 Privates Court, Manassas, Virginia 20109, U.S.A.

國 籍：(中文/英文)

美國/U.S.A.

發明人 2

姓 名：(中文/英文)

史卡特 海倫巴赫/HELLENBACH, SCOTT

住居所地址：(中文/英文)

美國維吉尼亞州 20106 艾密斯城科威爾瑞基路 15381 號

15381 Quail Ridge Drive, Amessville, Virginia 20106, U. S. A.

國 籍：(中文/英文)

美國/U. S. A.

發明人 3

姓 名：(中文/英文)

約翰 W 瑞浦/RAPP, JOHN W.

住居所地址：(中文/英文)

美國維吉尼亞州 20110 馬納沙斯河頂路 9350 號

9350 River Crest Road, Manassas, Virginia 20110, U. S. A.

國 籍：(中文/英文)

美國/U. S. A.

發明人 4

姓 名：(中文/英文)

雷利 傑克遜/JACKSON, LARRY

住居所地址：(中文/英文)

美國維吉尼亞州 20112 馬納沙斯小河頂路 13093 號

13093 Crestbrook Drive, Manassas, Virginia 20112, U. S. A.

國 籍：(中文/英文)

美國/U. S. A.

發明人 5

姓 名：(中文/英文)

馬克 瓊斯/JONES, MARK

住居所地址：(中文/英文)

美國維吉尼亞州 20120 核心城橡樹廣場 15342 號

15342 Oakmere Place, Centreville, Virginia 20120, U.S.A.

國 籍：(中文/英文)

美國/U.S.A.

發明人 6

姓 名：(中文/英文)

托諾伊 雀拉瑟羅/CHERASARO, TROY

住居所地址：(中文/英文)

美國維吉尼亞州 22701 庫爾皮爾克斯托爾路 1524 號

1524 Kestral Court, Culpeper, Virginia 22701, U.S.A.

國 籍：(中文/英文)

美國/U.S.A.



## 肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☒ V 主張國際優先權

：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002.10.31；60/422,503

2. 美國；2003.10.09；10/684,102

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

## 伍、中文發明摘要：

一種同等向量的機器係包含一個主機處理器以及一個硬接線的管線加速器。該主機處理器係執行一個程式並且回應該程式以產生主機資料，而該管線加速器係從該主機資料產生管線資料。或者是，該管線加速器係產生管線資料，並且該主機處理器係從該管線資料產生主機資料。因為該同等向量的機器係包含一個處理器以及一個管線加速器兩者，因此該同等向量的機器通常可以比一種僅包含處理器或是僅包含加速器之機器更有效率地處理資料。例如，吾人可以設計該同等向量的機器以使得該主機處理器執行決策以及密集的非數學運算，而該加速器係執行非決策以及密集的數學運算。對於一個特定的時脈頻率而言，藉由將密集的數學運算轉移至該加速器，該同等向量的機器通常可以在一個速度超過一種只有處理器的機器所能處理該資料的速度下處理資料。

## 陸、英文發明摘要：

A peer-vector machine includes a host processor and a hardwired pipeline accelerator. The host processor executes a program, and, in response to the program, generates host data, and the pipeline accelerator generates pipeline data from the host data. Alternatively, the pipeline accelerator generates the pipeline data, and the host processor generates the host data from the pipeline data. Because the peer-vector machine includes both a processor and a pipeline accelerator, it can often process data more efficiently than a machine that includes only processors or only

accelerators. For example, one can design the peer-vector machine so that the host processor performs decision-making and non-mathematically intensive operations and the accelerator performs non-decision-making and mathematically intensive operations. By shifting the mathematically intensive operations to the accelerator, the peer-vector machine often can, for a given clock frequency, process data at a speed that surpasses the speed at which a processor-only machine can process the data.

## 柒、指定代表圖：

(一)本案指定代表圖為：第 ( 3 ) 圖。

(二)本代表圖之元件代表符號簡單說明：

40 計算機器

42 主機處理器

44 管線加速器

46 處理器之記憶體

48 介面記憶體

50 匯流排

52 韌體記憶體

54、56 輸入埠

58、60 輸出埠

61 路由器

62 處理單元

64 訊息處理機

66 處理單元之記憶體

68 處理機之記憶體

70 加速器配置的記錄處

72 訊息配置的記錄處

74、74<sub>1</sub>-74<sub>n</sub> 管線

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 玖、發明說明：

### 優先權之主張

本申請案係主張 2002 年 10 月 31 日申請之美國臨時申請案序號 60/422,503 之優先權，該臨時申請案係被納入作為參考。

### 【發明所屬之技術領域】

本申請案係有關於美國專利申請案序號\_\_\_\_名稱為“具有改良的計算架構之計算機器以及相關的系統與方法”(代理人文件號 1934-12-3)、序號\_\_\_\_名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)、序號\_\_\_\_名稱為“可程式化的電路以及相關的計算機器與方法”(代理人文件號 1934-14-3)，以及序號名稱為“具有多個管線單元的管線加速器以及相關的計算機器與方法”(代理人文件號 1934-15-3)，這些申請案都具有相同的申請日與擁有者，並且被納入作為參考。

### 【先前技術】

用於在相當短的時間期間中處理相當大量的資料之常用的計算架構係包含多個相互連接的處理器，該些處理器係分攤處理的負擔。對於一個特定的時脈頻率而言，藉由分攤處理的負擔，這些多個處理器通常可以比單一處理器更快速地處理資料。例如，每個處理器可以處理該資料之一個別的部份或是執行一個處理演算法之一個別的部份。

第 1 圖是一種具有多處理器的架構之習知的計算機器 10 之概要的方塊圖。該機器 10 係包含一個主處理器 12 以

及協同處理器(coprocessor) $14_1-14_n$ (該些協同處理器係經由匯流排 16 以彼此聯繫且和該主處理器聯繫)、一個用於從一個遠端的裝置(未顯示在第 1 圖中)接收原始資料之輸入埠 18、以及一個用於提供處理後的資料至該遠端的來源之輸出埠 20。該機器 10 也包含一個用於該主處理器 12 的記憶體 22、分別用於協同處理器  $14_1-14_n$  的記憶體  $24_1-24_n$ 、以及一個該主處理器以及協同處理器經由匯流排 16 所共用的記憶體 26。該記憶體 22 係用作為該主處理器 12 的程式與工作的記憶體，並且每個記憶體  $24_1-24_n$  係用作為一個別的協同處理器  $14_1-14_n$  之程式與工作的記憶體。該共用的記憶體 26 係容許該主處理器 12 以及協同處理器 14 能夠在彼此之間傳輸資料，以及能夠分別經由埠 18 與 20 傳輸資料往返於該遠端的裝置。該主處理器 12 以及協同處理器 14 也接收一個共同的時脈信號，該時脈信號係控制該機器 10 處理該原始資料的速度。

一般而言，該計算機器 10 係有效地將原始資料的處理分配在主處理器 12 以及協同處理器 14 之間。例如是聲納陣列(第 4 圖)之遠端的來源(未顯示在第 1 圖中)係將原始資料經由埠 18 載入該共用的記憶體 26 之一個區段，該區段係作用為一個用於該原始資料的先進先出(FIFO)緩衝器(未顯示出)。該主處理器 12 係從記憶體 26，經由匯流排 16 來取得該原始資料，並且該主處理器以及協同處理器 14 接著係處理該原始資料、視需要地經由匯流排 16 以在彼此之間傳輸資料。該主處理器 12 係將處理後的資料載入

另一個被界定在該共用的記憶體 26 中之 FIFO 緩衝器(未顯示出)，並且該遠端的來源係從此 FIFO 經由該埠 20 來取得該處理後的資料。

在一個動作的例子中，該計算機器 10 係藉由在原始資料上順序地執行  $n+1$  個各別的運算來處理該原始資料，其中這些運算係一起組成一個例如是快速傅利葉轉換(FFT)的處理演算法。更明確地說，該機器 10 係從該主處理器 12 以及協同處理器 14 來形成一個資料處理管線。對於一個特定的頻率之時脈信號而言，此種管線係通常容許該機器 10 能夠比一種只具有單一處理器的機器更快速地處理該原始資料。

在從該記憶體 26 中之原始資料的 FIFO(未顯示出)取得原始資料之後，主處理器 12 係在該原始資料上執行一個例如是三角函數之第一運算。此運算係產生一個第一結果，且該處理器 12 係儲存該第一結果在一個於記憶體 26 內所界定之第一結果的 FIFO(未顯示出)中。典型地，該處理器 12 係執行一個儲存在該記憶體 22 中的程式，並且在該程式的控制下執行上述的動作。該處理器 12 也可以使用該記憶體 22 作為工作的記憶體以暫時儲存該處理器在該第一運算的中間間隔時所產生之資料。

接著，在從該記憶體 26 中之第一結果的 FIFO(未顯示出)取得該第一結果之後，協同處理器 14<sub>1</sub> 係在該第一結果上執行一個例如是對數的函數之第二運算。此第二運算係產生一個第二結果，且該協同處理器 14<sub>1</sub> 係儲存該第二結

果在一個於記憶體 26 內所界定之第二結果的 FIFO(未顯示出)中。典型地，該協同處理器  $14_1$  係執行一個儲存在該記憶體  $24_1$  中的程式，並且在該程式的控制下執行上述的動作。該協同處理器  $14_1$  也可以使用該記憶體  $24_1$  作為工作的記憶體以暫時儲存該協同處理器在該第二運算的中間間隔時所產生之資料。

接著，協同處理器  $24_2-24_n$  係以一種類似於上述針對協同處理器  $24_1$  的方式，在第二至第  $(n-1)$  個結果上順序地執行第三至第  $n$  個運算。

藉由協同處理器  $24_n$  所執行的第  $n$  個運算係產生最後的結果，亦即，該處理後的資料。該協同處理器  $24_n$  係將該處理後的資料載入一個被界定在記憶體 26 內之處理後的資料之 FIFO(未顯示出)，並且該遠端的裝置(未顯示在第 1 圖中)係從此 FIFO 取得該處理後的資料。

因為主處理器 12 以及協同處理器 14 是同時執行處理演算法之不同的運算，因此該計算機器 10 係通常能夠比一種具有單一處理器之順序地執行該不同的運算之計算機器更快速地處理該原始資料。明確地說，在未執行完前一組的原始資料之所有  $n+1$  個運算之前，該單一處理器並無法取得新一組的原始資料。但是利用上述的管線技術，該主處理器 12 可以在僅執行第一運算之後，就取得新一組的原始資料。因此，對於一個特定的時脈頻率而言，相較於單一處理器的機器(未顯示在第 1 圖中)，此種管線技術可以增快該機器 10 處理原始資料的速度大約為  $n+1$  的倍數



或者是，該計算機器 10 可以藉由在該原始資料上同時執行一個例如是 FFT 的處理演算法之  $n+1$  個分量 (instance) 來平行處理該原始資料。換言之，若該演算法如上所述之先前的例子包含  $n+1$  個順序的運算，則該主處理器 12 以及協同處理器 14 係分別在個別組的原始資料上順序地執行所有的  $n+1$  個運算。因此，對於一個特定的時脈頻率而言，此平行處理的技術就像是上述的管線技術，相較於單一處理器的機器 (未顯示在第 1 圖中)，其可以增快該機器 10 處理原始資料的速度大約為  $n+1$  的倍數。

然而，儘管該計算機器 10 可以比單一處理器的電腦機器 (未顯示在第 1 圖中) 更快速地處理資料，但是該機器 10 的資料處理速度通常是遠小於處理器時脈的頻率。明確地說，該計算機器 10 的資料處理速度係受限於該主處理器 12 以及協同處理器 14 處理資料所需的時間。為了簡潔起見，此種速度限制的一個例子是結合主處理器 12 來加以論述，儘管可瞭解的是，此論述也適用於該些協同處理器 14。如上所述，該主處理器 12 係執行一個控制該處理器以用一種所要的方式來處理資料之程式。此程式係包含該處理器 12 所執行之一個順序的指令。然而，處理器 12 典型地需要多個時脈週期以執行單一指令，並且通常必須執行多個指令以處理資料的一個單一值。例如，假設該處理器 12 是將一個第一資料值  $A$  (未顯示出) 乘上一個第二資料值  $B$  (未顯示出)。在第一個時脈週期期間，該處理器 12 係從

記憶體 22 取得一個乘法指令。在第二以及第三個時脈週期期間，該處理器 12 從記憶體 26 分別取得 A 與 B。在第四個時脈週期期間，該處理器 12 係相乘 A 與 B，並且在第五個時脈週期期間，其係儲存所產生的乘積在該記憶體 22 或 26 中、或是提供該所產生的乘積至遠端的裝置(未顯示出)。這是一種最佳狀況，因為在許多情形中，該處理器 12 需要額外的時脈週期用於額外花費的(overhead)工作上，例如，初始化以及關閉計數器。因此，該處理器 12 最佳也需要五個時脈週期、或是每個資料值最佳也需要 2.5 個時脈週期的平均值，以處理 A 與 B。

因此，該計算機器 10 處理資料的速度通常是遠低於驅動主處理器 12 以及協同處理器 14 的時脈頻率。例如，若處理器 12 係被提供 1.0 個十億赫茲(GHz)的時脈，但每個資料值卻需要 2.5 個時脈週期的平均值，則有效的資料處理速度係等於  $(1.0\text{GHz})/2.5 = 0.4\text{GHz}$ 。此有效的資料處理速度通常是以每秒的運算數為單位來加以描述。因此，在此例子中，對於 1.0GHz 的時脈速度而言，該處理器 12 的等級將被定為 0.4 個十億運算/秒(Gops)的資料處理速度。

第 2 圖是一種硬接線的(hardwired)資料管線 30 的方塊圖，對於一個特定的時脈頻率而言，該資料管線 30 典型地可以比一個處理器更快速地處理資料，並且通常是在實質上與該管線被提供的時脈相同的速率下。該管線 30 係包含運算子(operator)電路  $32_1-32_n$ ，每個運算子電路係在個別的資料上執行一個別的運算，而不執程式指令。

換言之，所要的運算係“被燒入”一個電路 32 中，使得該電路 32 自動地施行該運算，而不需要程式指令。對於一個特定的時脈頻率而言，藉由排除與執行程式指令有關的額外花費之下，該管線 30 比一個處理器典型地可以每秒執行更多的運算。

例如，對於一個特定的時脈頻率而言，該管線 30 通常可以比一個處理器更快速地解出以下的方程式：

$$(1) \quad Y(x_k) = (5x_k + 3)2^{x_k}$$

其中  $x_k$  代表一個序列的原始資料值。在此例子中，運算子電路 32<sub>1</sub> 是一個計算  $5x_k$  的乘法器，電路 32<sub>2</sub> 是一個計算  $5x_k+3$  的加法器，並且電路 32<sub>n</sub>( $n=3$ ) 是一個計算  $(5x_k+3)2^{x_k}$  的乘法器。

在第一個時脈週期  $k=1$  的期間，該電路 32<sub>1</sub> 係接收資料值  $x_1$  並且將它乘上 5 以產生  $5x_1$ 。

在第二個時脈週期  $k=2$  的期間，該電路 32<sub>2</sub> 係從電路 32<sub>1</sub> 接收  $5x_1$  並且加上 3 以產生  $5x_1+3$ 。同時，在該第二個時脈週期期間，電路 32<sub>1</sub> 係產生  $5x_2$ 。

在第三個時脈週期  $k=3$  的期間，該電路 32<sub>3</sub> 係從該電路 32<sub>2</sub> 接收  $5x_1+3$  並且乘上  $2^{x_1}$  (實際上將  $5x_1+3$  右移  $x_1$  個位元) 以產生第一個結果  $(5x_1+3)2^{x_1}$ 。同時，在該第三個時脈週期期間，該電路 32<sub>1</sub> 係產生  $5x_3$  並且該電路 32<sub>2</sub> 係產生  $5x_2+3$ 。

該管線 30 係用此種方式持續處理後續的原始資料值  $x_k$ ，直到所有的原始資料值都被處理為止。

因此，在接收到一個原始資料值  $x_1$  之後的兩個時脈週期的延遲後（此延遲通常是被稱為該管線 30 的延遲 (latency)），該管線係產生該結果  $(5x_1+3)2^{x_1}$ ，並且之後係每個時脈週期都產生一個結果。

在忽略該延遲 (latency) 之下，該管線 30 因此具有一個等於時脈速度的資料處理速度。作為比較地，對於一個特定的時脈速度而言，假設主處理器 12 以及協同處理器 14 (第 1 圖) 如上述的例子具有 0.4 倍的時脈速度之資料處理速度，該管線 30 可以比該計算機器 10 (第 1 圖) 快 2.5 倍地處理資料。

仍請參考第 2 圖，設計者可能會選擇在一種例如是現場可程式化的閘陣列 (FPGA) 之可程式化的邏輯 IC (PLIC) 中實施該管線 30，因為 PLIC 比起特殊應用 IC (ASIC) 係容許更大的設計與修改彈性。為了在一個 PLIC 內配置硬接線的連線，設計者僅須設定被設置在 PLIC 內之互連線配置的暫存器至預設的二進位狀態。所有這些二進位狀態之組合係通常被稱為“韌體”。典型地，設計者係將此韌體載入一個非依電性記憶體中 (未顯示在第 2 圖中)，該非依電性記憶體係耦接至該 PLIC。當吾人“導通”PLIC 時，該 PLIC 係從該記憶體下載該韌體到該互連線配置的暫存器中。因此，為了修改 PLIC 的功能，設計者僅修改該韌體，並且容許該 PLIC 能夠下載該修改過的韌體到該互連線配置的暫存器中。此種藉由僅修改該韌體來修改 PLIC 之功能在製作原型的階段以及用於“現場”升級該管線 30 之期間是特別有用的。

然而，該硬接線的管線 30 典型地無法執行所有的演算法，尤其是那些需要重要的決策之演算法。一個處理器典型地可以執行一個決策指令（例如，條件式指令，像是“若 A，則前進至 B，否則前進至 C”）大約和其所能執行一個具有相當的長度之運算的指令（例如，“ $A+B$ ”）一樣快速。但儘管該管線 30 可能可以做一項相當簡單的決定（例如，“ $A>B?$ ”），其典型地仍無法執行相當複雜的決定（例如，“若 A，則前進至 B，否則前進至 C”）。並且，儘管吾人可能可以設計該管線 30 以執行此種複雜的決定，但是所需的電路尺寸與複雜度通常使得此種設計變成不切實際的，尤其是一個演算法係包含多個不同之複雜的決定之情形。

因此，處理器係典型地被利用在需要重要的決策之應用中，而硬接線的管線係典型地限於需要很少或是沒有決策之“處理數字的(number-crunching)”應用。

再者，如下所述地，吾人設計/修改一種以處理器為基礎的計算機器（例如，第 1 圖的計算機器 10）是比設計/修改一種硬接線的管線（例如，第 2 圖的管線 30，尤其是該管線 30 包含多個 PLIC 時）典型地為較容易的。

例如是處理器以及其週邊設備（例如，記憶體）之計算組件係典型地包含工業標準的通訊介面，該些通訊介面係有助於該些組件的互連線，以形成一個以處理器為基礎的計算機器。

典型地，一個標準的通訊介面係包含兩層：一個實體層以及一個服務層。

該實體層係包含構成該介面的電路以及對應的電路互連線與此電路的操作參數。例如，該實體層係包含連接該組件至匯流排的接腳、門鎖住從該些接腳所接收到的資料之緩衝器、以及驅動資料到該些接腳上的驅動器。該些操作參數係包含該些接腳接收到的資料信號之可接受的電壓範圍、用於連線與讀取資料的信號時序、以及支援的運算模式(例如，叢發(burst)模式、分頁模式)。習知的實體層係包含電晶體電晶體邏輯(TTL)以及 RAMBUS。

該服務層係包含一個計算組件傳輸資料所依循的協定。該協定係定義該資料的格式以及該組件傳送與接收該格式化後的資料所用的方式。習知的通訊協定係包含檔案傳輸協定(FTP)以及 TCP/IP(擴充)。

因此，因為製造商與其他者都典型地設計具有工業標準的通訊層之計算組件，所以吾人典型地可以在很小的努力下就設計出此種組件的介面並且將其互連到其它的計算組件。此係容許吾人能夠將其大部分的時間專注於計算機器的其它部份之設計，並且能夠藉由增加或是移除組件來輕易地修改該機器。

設計支援工業標準的通訊層之計算組件係讓吾人能夠藉由從一個設計庫(library)利用一種現有的實體層之設計來節省設計時間。此也確保吾人可以輕易地將該組件界接到現成的計算組件。

並且，利用支援一種共同的工業標準的通訊層之計算組件來設計計算機器係容許設計者能夠在很少的時間與努

力下就互連該些組件。因為該些組件支援一種共同的介面層，因此設計者可以在很少的設計努力下就經由一系統匯流排來將其互連。並且，因為該支援的介面層是一種工業標準，因此吾人可以輕易地修改該機器。例如，吾人可以隨著系統設計的演進來增加不同的組件以及週邊設備至該機器、或是吾人可以隨著該技術的演進來輕易地增加/設計下一代的組件。再者，因為該些組件支援一種共同的工業標準的服務層，因此吾人可以將一種實施對應的協定之現有的軟體模組納入該計算機器的軟體中。因此，吾人可以在很少的努力下界接該些組件，因為該介面設計實質上已經是適當的，並且因此可以專注於設計該機器中使得該機器執行所要的功能之部份(例如，軟體)。

然而，對於被使用來構成例如是第 2 圖的管線 30 之硬接線的管線之組件(例如，PLIC)而言，存在有未知的工業標準的通訊層。

因此，為了設計一種具有多個 PLIC 的管線，吾人典型地耗費相當大量的時間並且盡相當大的努力於“從頭”設計與除錯在 PLIC 之間的通訊層。典型地，此種特別的通訊層係依據在 PLIC 之間傳輸的資料之參數而定。同樣地，為了設計一種界接處理器的管線，吾人將必需耗費相當大量的時間並且盡相當大的努力於從頭設計與除錯在管線與處理器之間的通訊層。

類似地，為了藉由增加一個 PLIC 至此種管線以修改該管線，吾人典型地耗費相當大量的時間並且盡相當大的努

力於設計與除錯在所增加的 PLIC 與現有的 PLIC 之間的通訊層。同樣地，為了藉由增加一個處理器以修改一個管線、或是為了藉由增加一個管線以修改一個計算機器，吾人將必需耗費相當大量的時間並且盡相當大的努力於設計與除錯在該管線與處理器之間的通訊層。

因此，請參考第 1 與 2 圖，當設計一種計算機器時，因為在界接多個 PLIC 上的困難度以及在將一個處理器界接至一個管線上的困難度，因此吾人通常被迫要做出重大的取捨。例如，在一種以處理器為基礎的計算機器中，吾人係被迫要犧牲處理數字的速度來交換得到複雜的決策功能以及設計/修改的彈性。相反地，在一種硬接線之以管線為基礎的計算機器中，吾人係被迫要犧牲複雜的決策功能以及設計/修改的彈性來交換得到處理數字的速度。再者，由於在界接多個 PLIC 上的困難度，因此吾人要設計一種具有許多的 PLIC 之以管線為基礎的機器通常是不切實際的。於是，實際之以管線為基礎的機器通常僅具有有限的功能。並且，由於在將一個處理器界接至一個 PLIC 上的困難度，因此要將一個處理器界接至超過一個 PLIC 是不切實際的。於是，藉由組合處理器以及管線所獲得的利益將會是極微小的。

因此，對於一些容許吾人能夠結合以處理器為基礎的機器之決策功能以及硬接線之以管線為基礎的機器之處理數字的速度之電腦架構產生了需求。

#### 【發明內容】



在本發明的一個實施例中，一種同等向量的(peer-vector)機器係包含一個主機(host)處理器以及一個硬接線的管線加速器。該主機處理器係執行一個程式並且回應該程式以產生主機資料，而該管線加速器係從該主機資料產生管線資料。

根據本發明的另一個實施例，該管線加速器係產生管線資料，並且該主機處理器係從該管線資料產生主機資料。

因為該同等向量的機器係包含一個處理器以及一個硬接線的管線加速器兩者，因此該同等向量的機器通常可以比一個僅包含處理器或是僅包含硬接線的管線之計算機器更有效率地處理資料。例如，吾人可以設計該同等向量的機器以使得該主機處理器執行決策以及密集的非數學運算，而該加速器係執行密集的數學運算。對於一個特定的時脈頻率而言，藉由將密集的數學運算轉移至該加速器，該同等向量的機器通常可以在一個速度超過一種只有處理器的機器所能處理該資料的速度下處理資料。

### 【實施方式】

第 3 圖是一種具有根據本發明的一個實施例之同等向量的架構之計算機器 40 的概要方塊圖。除了主機處理器 42 以外，該同等向量的機器 40 係包含一個管線加速器 44，該管線加速器 44 係執行至少一部份的資料處理，並且其因此有效地取代在第 1 圖的計算機器 10 中之協同處理器 14 之庫(bank)。因此，該主機處理器 42 以及加速器 44

是可以往返傳輸資料向量的“同等者(peer)”。對於一個特定的時脈頻率而言，因為該加速器 44 並不執行程式指令，因此其典型地在資料上執行密集的數學運算遠快於一個庫的協同處理器所能執行的速度。因此，藉由結合處理器 42 的決策功能以及加速器 44 之處理數字的功能，該機器 40 係具有與例如是機器 10 之習知的計算機器相同的功能，但卻是通常可以較快速地處理資料。再者，如同在先前所引述的美國專利申請案序號\_\_\_\_名稱為“具有改良的計算架構之計算機器以及相關的系統與方法”(代理人文件號 1934-12-3)以及序號\_\_\_\_名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)中所述，提供和主機處理器 42 相同的通訊層給該加速器 44 係使得該機器 40 的設計與修改更容易，尤其是該通訊層是一種工業標準時。並且，在該加速器 44 包含多個組件(例如，PLIC)之情形中，提供此同樣的通訊層給這些組件係使得該加速器的設計與修改更容易，尤其是該通訊層是一種工業標準時。再者，該機器 40 也可以提供如下所述以及在該些先前所引述的專利申請案中之其它優點。

除了該主機處理器 42 以及管線加速器 44 之外，該同等向量的計算機器 40 係包含一個處理器之記憶體 46、一個介面記憶體 48、一個匯流排 50、一個韌體記憶體 52、選配的原始資料之輸入埠 54 與 56、處理後的資料之輸出埠 58 與 60、以及一個選配的路由器 61。

該主機處理器 42 係包含一個處理單元 62 以及一個訊

息處理機(handler)64，並且該處理器之記憶體 46 係包含一個處理單元之記憶體 66 以及一個處理機之記憶體 68，其係分別用作為該處理器單元以及訊息處理機之程式與工作的記憶體。該處理器之記憶體 46 也包含一個加速器配置的記錄處(registry)70 以及一個訊息配置的記錄處 72，其係儲存個別的配置資料以容許該主機處理器 42 能夠配置該加速器 44 的功能以及該訊息處理機 64 所產生的訊息之結構。

該管線加速器 44 係被設置在至少一個 PLIC(未顯示出)之上並且包含硬接線的管線  $74_1-74_n$ ，該些管線處理個別的資料而不執行程式指令。該韌體記憶體 52 係儲存用於加速器 44 的配置韌體。若該加速器 44 係被設置在多個 PLIC 之上，則這些 PLIC 以及其個別的韌體記憶體可被設置在多個電路板，亦即子卡(未顯示出)之上。該加速器 44 以及子卡係進一步論述於先前引述的美國專利申請案序號名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)以及序號\_\_\_\_名稱為“具有多個管線單元的管線加速器以及相關的計算機器與方法”(代理人文件號 1934-15-3)中。或者是，該加速器 44 可被設置在至少一個 ASIC 之上，並且因此可具有內部的互連線，該些互連線是不可配置的。在此替代例中，該機器 40 可省略掉韌體記憶體 52。再者，儘管該加速器 44 係被呈現為包含多個管線 74，但其可以僅包含單一管線。

仍請參考第 3 圖，該同等向量的機器 40 之操作係在以

下根據本發明的一個實施例來加以論述。

### 配置該同等向量的機器

當該同等向量的機器 40 最初被啟動時，該處理單元 62 係配置該訊息處理機 64 以及管線加速器 44(其中該加速器是可配置的)，以使得該機器將會執行所要的演算法。明確地說，該處理單元 62 係執行一個儲存在記憶體 66 中的主機應用程式，並且該程式係使得該處理單元配置該訊息處理機 64 與加速器 44，即如以下所論述者。

為了配置訊息處理機 64，該處理單元 62 係從記錄處 72 取得訊息格式的資訊並且提供此格式資訊給該訊息處理機，該訊息處理機係儲存此資訊在該記憶體 68 中。當該機器 40 如以下所論述地處理資料時，該訊息處理機 64 係使用此格式資訊來產生並且解碼具有所要的格式之資料訊息。在一個實施例中，該格式資訊係用可擴展標記語言(XML)來撰寫，儘管其可以用其它的語言或是資料格式來撰寫。因為該處理單元 62 是在每次同等向量的機器 40 被啟動時配置該訊息處理機 64，因此吾人可以僅藉由修改儲存在記錄處 72 中的格式資訊來修改該訊息格式。或者是，一個外部的訊息配置庫(未顯示出)可以儲存多種訊息格式的資訊，因而吾人可以設計以及/或是修改主機應用程式以使得該處理單元 62 從該庫之選出的部份更新記錄處 72，並且接著從該更新後的記錄處下載所要的格式資訊至該訊息處理機 64。該訊息格式以及訊息的產生與解碼係進一步論述於下，並且論述在先前所引述的美國專利申請案序

號\_\_\_\_名稱為“具有改良的計算架構之計算機器以及相關的系統與方法”(代理人文件號 1934-12-3)中。

類似地，為了配置管線加速器 44 互連線佈局的，該處理單元 62 係從記錄處 70 取得配置韌體並且經由該訊息處理機 64 以及匯流排 50 下載此韌體至記憶體 52。該加速器 44 接著藉由從記憶體 52 下載該韌體到其互連線配置的暫存器中(未顯示出)以配置自己。因為該處理單元 62 是在每次同等向量的機器 40 被啟動時配置該加速器 44，因此吾人可以僅藉由修改在記錄處 70 中所儲存的韌體來修改加速器 44 的互連線佈局以及因此修改其功能。或者是，一個外部的加速器配置庫(未顯示出)可以儲存加速器 44 的多種配置之韌體，因而吾人可以設計以及/或是修改主機應用程式以使得該處理單元 62 從該庫之選出的部份更新該記錄處 70，並且接著從該更新後的記錄處下載所要的韌體至該記憶體 52。再者，該外部的庫或是記錄處 70 可以儲存定義該加速器 44 不同的部份以及/或是功能之韌體模組。因此，吾人可以使用這些模組來幫助該加速器 44 的設計以及/或是修改。此外，該處理單元 62 可以在機器 40 正在處理資料時使用這些模組來修改該加速器 44。該加速器 44 的互連線配置以及韌體模組係進一步論述於先前所引述的美國專利申請案序號\_\_\_\_名稱為“可程式化的電路以及相關的計算機器與方法”(代理人文件號 1934-14-3)。

該處理單元 62 也可以在同等向量的機器 40 正在處理資料時“軟配置(soft configure)”該管線加速器 44。換言

之，該處理單元 62 可以配置該加速器 44 的功能而不改變該加速器之互連線佈局。此種軟配置係進一步論述於下，並且論述在美國專利申請案序號\_\_\_\_名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)中。

#### 以該同等向量的機器處理資料

一般而言，該同等向量的機器 40 係有效地將原始資料的處理區分在主機處理器 42 以及管線加速器 44 之間。例如，該主機處理器 42 可以執行大部分或是所有相關於該資料之決策運算，而該加速器 44 可以執行大部分或是所有在該資料上之密集的數學運算。然而，該機器 40 可以用任意所要的方式來區分該資料處理。

#### 主機處理器的運算

在一個實施例中，該主機處理器 42 係從一個例如是聲納陣列(第 4 圖)之遠端的裝置接收原始資料，並且提供所產生之處理後的資料給該遠端的裝置。

該主機處理器 42 首先從該遠端的裝置，經由輸入埠 54 或是匯流排 50 來接收該原始資料。該同等向量的機器 40 可以包含一個用於緩衝儲存該接收到的原始資料之 FIFO(未顯示出)。

接著，該處理單元 62 係準備原始資料以供該管線加速器 44 處理。例如，該單元 62 可以決定該原始資料中的哪些資料要傳送至加速器 44、或是用哪一種順序來傳送該原始資料。或者是，該單元 62 可以處理該原始資料以產生

中間資料用以傳送至該加速器 44。該原始資料的準備係進一步論述在先前所引述的美國專利申請案序號\_\_\_\_名稱為“具有改良的計算架構之計算機器以及相關的系統與方法”(代理人文件號 1934-12-3)中。

當準備該原始資料時，該處理單元 62 也可以產生一或多個軟配置的”命令來修改加速器 44 的功能。不同於當該機器 40 被啟動時配置加速器 44 的互連線佈局之韌體，一個軟配置的命令係控制該加速器的功能而不改變其互連線佈局。例如，一個軟配置的命令可以控制加速器 44 所處理的資料串之大小(例如，32 位元或是 64 位元)。加速器 44 之軟配置係進一步論述在先前所引述的美國專利申請案序號\_\_\_\_名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)中。

該處理單元 62 接著係將備妥的資料以及/或是軟配置的命令載入介面記憶體 48 中之一個對應的位置，該介面記憶體 48 係用作為一個在單元 62 以及加速器 44 之間的 FIFO 緩衝器。

接著，該訊息處理機 64 係從該介面記憶體 48 取得備妥的資料以及/或是軟體命令並且產生包含該資料及/或命令以及相關的資訊之訊息物件。典型地，該加速器 44 需要四個描述該資料/命令與相關的資訊(全體稱為“資訊”)之識別符：a)該資訊所打算之目的地(例如，管線 74<sub>1</sub>)、b)優先權(例如，該加速器是否應該在先前所接收到的資料之前或是之後處理此資料)、c)該訊息物件的長度或是結

束、以及 d)該資料中之特定的實例(例如，來自一千個感測器的陣列之第九號的感測器信號)。為了使得該項決定更容易，該訊息處理機 64 係產生具有一種如上所述之預設的格式之訊息物件。除了備妥的資料/軟配置的命令之外，一個訊息物件典型地包含一個標題(header)，該標題係包含四個上述的識別符，並且也可以包含描述物件所包含的資訊類型(例如，資料、命令)以及該資料將被處理所憑藉的演算法之識別符。後者的此種識別符在目的地的管線 74 係實施多個演算法之情形是有用的。該處理機 64 可以從介面記憶體 48 取得標題資訊，或是可以根據在該介面記憶體之內取得備妥的資料或是命令的位置來產生該標題。藉由解碼該訊息標題，路由器 61 以及/或是加速器 44 可以導引在該訊息物件之內的資訊至所要的目的地，並且使得該目的地以一種所要的順序處理該資訊。

用於產生訊息物件之替代的實施例係存在著。例如，儘管每個訊息物件都被描述為包含資料或是一個軟配置的命令，但是單一訊息物件可以包含資料以及一或多個命令。再者，儘管該訊息處理機 64 係被描述為從介面記憶體 48 接收資料以及命令，但是其可以直接從處理單元 62 接收資料以及命令。

訊息物件的產生係進一步論述在先前所引述的美國專利申請案序號\_\_\_\_名稱為“具有改良的計算架構之計算機器以及相關的系統與方法”(代理人文件號 1934-12-3)中。

#### 管線加速器



該管線加速器 44 係接收並解碼來自訊息處理機 64 的訊息物件，並且有效地導引在該物件之內的資料以及/或是命令至所要的目的地。此技術在藉由該處理單元 62 以及管線 74 所施行的演算法數目是相當小的情形中是特別有用的，並且因此該路由器 61 可以被省略。替代的是，在藉由該處理單元 62 以及管線 74 所施行的演算法數目是相當大的情形中，該路由器 61 係接收並解碼來自該訊息處理機 64 的訊息物件，並且有效地導引在該物件之內的資料以及/或是命令至該加速器 44 之內所要的目的地。

在一個其中有小數目的處理單元的演算法以及管線 74 之實施例中，每個管線同時接收一個訊息物件並且分析該標題以判斷其是否為該訊息所打算的接收者。若該訊息物件係打算用於一個特定的管線 74，則該管線係解碼該訊息並且處理所回復的資料/命令。然而，若該訊息物件並不打算用於一個特定的管線 74，則該管線係忽略該訊息物件。例如，假設一個訊息物件係包含用於藉由管線  $74_1$  處理的資料。因此，該管線  $74_1$  係分析該訊息標題、判斷自己是否為該資料所要之目的地、從該訊息回復資料、並且處理該回復後的資料。相對地，管線  $74_2-74_n$  都分別分析該訊息標題、判斷自己是否為該資料所要之目的地、並且因此並不回復或是處理該資料。若在該訊息物件之內的資料係打算用於多個管線 74，則該訊息處理機 64 係產生並且傳送一序列之個別包含相同的資料之訊息物件，每個目的地管線都有一個訊息。或者是，該訊息處理機 64 可以藉

由傳送具有一個指明所有的目的地管線之標題的單一訊息物件來同時傳送資料給所有的目的地管線 74。從訊息物件回復資料以及軟配置的命令係進一步論述在先前所引述的美國專利申請案序號\_\_名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)中。

在另一個其中有大數目的處理單元的方法以及管線 74 之實施例中，每個管線係從路由器 61 接收訊息物件。儘管該路由器 61 理想上應該只傳送訊息物件給該目標管線 74，但是該目標管線仍然分析該標題以判斷自己是否為該訊息所要之接收者。此種分析係識別出潛在的訊息路由錯誤，亦即，異常(exception)。若該訊息物件係打算用於目標管線 74，則該管線係解碼該訊息並且處理所回復的資料/命令。然而，若該訊息物件並不打算用於該目標管線 74，則該管線係忽略對於該訊息物件的處理，並且也可以發出一個新的訊息給該主機處理器 42，其指出一個路由異常已經發生。路由異常的處理係論述在先前所引述的美國專利申請案序號\_\_名稱為“具有改良的計算架構之計算機器以及相關的系統與方法”(代理人文件號 1934-12-3)中。

接著，該管線加速器 44 係處理從該訊息物件所回復之進入的資料以及/或是命令。

對於資料而言，目的地的一或多個管線 74 係在該資料上執行一或多個運算。如同結合第 2 圖所論述地，因為管線 74 並不執行程式指令，因此其通常可以在一個實質上

與管線時脈的頻率相同之速率下處理該資料。

在第一實施例中，單一管線 74 係藉由處理進入的資料來產生結果的資料。

在第二實施例中，多個管線 74 係藉由連續地處理進入的資料來產生結果的資料。例如，該管線 74 可以藉由在進入的資料上執行一個第一運算來產生第一中間資料。接著，該管線 74<sub>2</sub> 可以藉由在該第一中間資料上執行一個第二運算來產生第二中間資料，依此類推，直到在該鏈中之最後的管線 74 產生該結果的資料為止。

在第三實施例中，多個管線 74 係藉由平行處理進入的資料來產生結果的資料。例如，該管線 74<sub>1</sub> 可以藉由在一個第一組之進入的資料上執行一個第一運算來產生一個第一組之結果的資料。同時，該管線 74<sub>2</sub> 可以藉由在一個第二組之進入的資料上執行一個第二運算來產生一個第二組之結果的資料，依此類推。

或者是，該管線 74 可以根據以上的三個實施例之任意的組合，從進入的資料產生結果的資料。例如，該管線 74<sub>1</sub> 可以藉由在一個第一組之進入的資料上執行一個第一運算來產生一個第一組之結果的資料。同時，該管線 74<sub>2</sub> 與 74<sub>n</sub> 可以藉由在一個第二組之進入的資料上連續地執行第二與第三運算來產生一個第二組之結果的資料。

在以上的任一個實施例與替代例中，單一管線 74 可以執行多個運算。例如，該管線 74<sub>1</sub> 可以接收資料、藉由在該接收到的資料上執行一個第一運算來產生第一中間資料

、暫時儲存該第一中間資料、藉由在該第一中間資料上執行一個第二運算來產生第二中間資料、依此類推，直到其產生結果的資料為止。存在有一些用於使得管線 74<sub>1</sub> 從執行該第一運算切換至執行該第二運算、等等之技術。此種技術係論述在先前所引述的美國專利申請案序號\_\_\_\_名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)中。

對於軟配置的命令而言，該加速器 44 係設定在由該訊息標題所指出之對應的軟配置的暫存器(未顯示出)中之位元。如上所述，設定這些位元典型地係改變了加速器 44 的功能，而未改變其互連線佈局。此係類似於在處理器的控制暫存器中設定位元，例如是用於設定一個外部的接腳作為輸入接腳或是輸出接腳、或是選擇一種定址模式。再者，一個軟配置的命令可以劃分一個暫存器或是表格(一個陣列的暫存器)用於保存資料。另一種軟配置的命令或是一個藉由加速器 44 所執行的運算可以將資料載入該軟配置的暫存器或表格。該加速器 44 的軟配置係進一步論述在先前所引述的美國專利申請案序號\_\_\_\_名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)中。

接著，該管線加速器 44 係經由路由器 61 提供(或是若路由器被省略時，其係直接提供)該結果的資料至主機處理器 42 用於進一步的處理。

或者是，該加速器 44 係直接經由輸出埠 60、或是間

接地經由路由器 61(若存在的話)、匯流排 50、主機處理器 42 以及輸出埠 58，以提供該結果的資料至遠端的目的地。因此，在此替代的實施例中，藉由加速器 44 所產生之結果的資料是最終之處理後的資料。

當該加速器 44 提供結果的資料至主機處理器 42 時(用於進一步的處理或是用於通過至遠端的裝置)，加速器 44 係以一個具有與藉由訊息處理機 64 所產生的訊息物件相同之格式之訊息物件來傳送此資料。如同藉由訊息處理機 64 所產生的訊息物件，藉由加速器 44 所產生的訊息物件係包含例如是指明結果的資料之目的地的標題。例如，該標題可以指示訊息處理機 64 經由埠 58 通過該結果的資料至遠端的裝置，或是可以由處理單元 62 所執行的程式之哪一部份是將要控制該資料的處理。藉由使用相同的訊息格式，該加速器 44 具有與主機處理器 42 相同的介面層。此係使得設計以及修改該同等向量的機器 40 變得容易，尤其是若該介面層是一種工業標準時。

該管線加速器 44 以及管線 66 的結構與操作係進一步論述在先前所引述的美國專利申請案序號\_\_\_\_名稱為“用於改良的計算架構之管線加速器以及相關的系統與方法”(代理人文件號 1934-13-3)中。

#### 利用該主機處理器以從該管線加速器接收與處理

當訊息處理機 64 從加速器 44 接收到一個訊息物件時，該訊息處理機 64 首先係解碼訊息標題並且導引所回復的資料至所指的目的地。

若該標題指出該資料是要經由該埠 58 以傳送至遠端的裝置時，則該訊息處理機 64 可以直接提供該資料至該埠 58、或者是提供至一個在該介面記憶體 48 中或是在其它記憶體中所構成的埠 FIFO 緩衝器(未顯示出)而接著從該緩衝器傳送至埠 58。多個埠 58 以及多個個別的遠端的裝置也被思及為可行的。

然而，若該標題指出該處理單元 62 是要進一步處理該資料時，則該訊息處理機 64 係儲存該資料在該介面記憶體 48 中對應於將會控制該資料的處理之處理單元的程式之部份的一個位置中。更明確地說，同樣的標題現在係間接地指示藉由該處理單元 62 所執行的程式之哪些部份將會控制該資料的處理。因此，該訊息處理機 64 係儲存該資料在介面記憶體 48 中對應於此程式部份的位置(例如，一個 FIFO)中。

如上所述，該介面記憶體 48 係作用為一個在加速器 44 與處理單元 62 之間的緩衝器，並且因此在該處理單元未與該加速器同步化時亦容許資料的傳輸。例如，此種同步化的欠缺可能發生在加速器 44 比處理單元 62 更快速地處理資料時。藉由利用該介面記憶體 48，加速器 44 不會被該處理單元 62 之較慢的響應所拖慢。此也避免有關該處理單元處理中斷之不確定的響應時間之無效率的損失。藉由該處理單元 62 對於該加速器 44 的輸出訊息之不確定的處理將會因為迫使設計者提供：a)用於備份的輸出訊息之儲存與處理、或是 b)將整個管線控制為閒置的，以避免

該備份的訊息被覆寫，因而不必要地複雜化該加速器的設計。因此，該作用為一個在加速器 44 以及處理單元 62 之間的緩衝器之介面記憶體 48 的使用係具有幾個所期望的結果：a) 加速器較容易設計，b) 加速器僅需較少的基礎結構，因而可以容納較大的 PLIC 應用，c) 可以使加速器更有效率且更快速地運作，因為輸出資料未被較慢的處理器所“阻擋”。

於是，對於該訊息處理機 64 已經儲存在介面記憶體 48 中的資料而言，處理單元 62 係從該介面記憶體取得該資料。該處理單元 62 可以詢問介面記憶體 48 以判斷何時新資料已經到達一個特定的位置中，或是該訊息處理機 64 可以產生一個中斷或是其它通知該處理單元資料的到達之信號。在一個實施例中，在處理單元 62 取得資料之前，該訊息處理機 64 係產生一個包含該資料的訊息物件。更明確地說，吾人可以設計藉由處理單元 62 所執行的程式以接收在訊息物件中的資料。因此，該訊息處理機 64 可以儲存訊息物件在介面記憶體 48 中，而不是只儲存該資料而已。但是一個訊息物件典型地遠比其所內含的資料佔掉更大的記憶體空間。因此，為了節省記憶體，該訊息處理機 64 係解碼來自管線加速器 44 的訊息物件、儲存該資料在記憶體 48 中、並且接著在處理單元 62 備妥來接收該資料時有效地再生該訊息物件。於是，該處理單元 62 係解碼該訊息物件，並且在該訊息標題所指出之程式部份的控制下處理該資料。

接著，該處理器單元 62 係在該程式之目的地部份的控制下處理所取得的資料、產生處理後的資料、並且儲存該處理後的資料在該介面記憶體 48 中對應於該處理後的資料之打算的目的地之一個位置中。

之後，該訊息處理機 64 係取得該處理後的資料並且提供至該被指出的目的地。為了取得該處理後的資料，該訊息處理機 64 可以詢問記憶體 48 以判斷何時該資料已經到達，或者是該處理單元 62 可以用一個中斷或是其它的信號來通知該訊息處理機該資料的到達。為了提供該處理後的資料至其打算的目的地，該訊息處理機 64 可以產生一個包含該資料的訊息物件，並且將該訊息物件傳回該加速器 44 用於該資料的進一步處理。或是，該處理機 56 可以傳送該資料至埠 58、或是傳送至該記憶體 48 的其它位置用於藉由該處理單元 62 進一步處理。

該主機處理器對於來自管線加速器 44 的資料之接收與處理係進一步論述在先前所引述的美國專利申請案序號\_名為“具有改良的計算架構之計算機器以及相關的系統與方法”(代理人文件號 1934-12-3)中。

#### 利用該同等向量的機器之替代的資料處理技術

仍請參考第 3 圖，上述其中該主機處理器 42 接收並且處理資料，而接著傳送該資料至管線加速器 44 用於進一步處理的實施例係存在著替代例。

在一個替代例中，該主機處理器 42 係在至少某些資料上執行所有的處理，並且因此並未傳送此資料至管線加速



器 44 用於進一步的處理。

在另一個替代例中，該管線加速器 44 係直接從遠端的裝置經由埠 56 接收原始資料，並且處理該原始資料。該加速器 44 接著可以將處理後的資料經由埠 60 而直接傳回該遠端的裝置、或是可以傳送處理後的資料至主機處理器 42 用於進一步的處理。在後者的情形中，該加速器 44 可以如上所述地將該資料包覆在訊息物件中。

在另一個替代例中，除了該硬接線的管線 74 之外，該加速器 44 可以包含一或多個例如是數位信號處理器 (DSP) 之執行指令的處理器，以補充該些管線處理數字的功能。

#### 該同等向量的機器之實施例

仍請參考第 3 圖，在一個實施例中，該管線匯流排 50 是一個標準的 133MHz 之 PCI 匯流排，該些管線 74 是內含在一或多個標準的 PMC 卡之上，並且該記憶體 52 是一或多個分別位在一个別的 PMC 卡之上的快閃記憶體。

#### 該同等向量的機器之應用例

第 4 圖是一種結合有根據本發明的一個實施例之第 3 圖的同等向量的機器 40 之聲納系統 80 的方塊圖。除了該機器 40 之外，該系統 80 係包含一個用於接收與發送聲納信號之換能器元件  $84_1-84_n$  的陣列 82、數位至類比轉換器 (DAC)  $86_1-86_n$ 、類比至數位轉換器 (ADC)  $88_1-88_n$ 、以及一個資料介面 90。因為聲納信號的產生與處理通常是密集的數學之函數，因此對於一個特定的時脈頻率而言，如同以上結合第 3 圖所述地，該機器 40 通常可以比習知的計算機

器(例如，多處理器的機器 10(第 1 圖))更快速且更有效率地執行這些函數。

在一個發送模式的期間，該陣列 82 係發送一個聲納信號進入一種例如是水(未顯示出)的媒介物中。首先，該同等向量的機器 40 係轉換在一個埠 92 之上所接收的原始信號資料成為  $n$  個數位信號，每個陣列元件 84 都有一個數位信號。這些信號的大小與相位係決定該陣列 82 的發送束的形態。接著，該機器 40 係提供這些數位信號至介面 90，該介面 90 係提供這些信號至個別的 DAC 86 用於轉換成為個別的類比信號。例如，該介面 90 可以作用為一個緩衝器，其係連續地從該機器 40 接收數位信號，儲存這些信號直到其接收且緩衝儲存所有  $n$  個數位信號為止，並且接著同時提供這些順序的信號取樣給個別的 DAC 86。於是，換能器元件 84 係將這些類比信號轉換成為個別的聲波，該些聲波係彼此干涉以形成一個聲納信號的波束。

在一個接收模式的期間，該陣列 82 係從該媒介物(未顯示出)接收一個聲納信號。該接收到的聲納信號係由該發送的聲納信號被遠端的物件所反射之部份以及由環境與遠端的物件所發射的聲音能量所構成。首先，換能器元件 84 係接收組成該聲納信號之個別的聲波，轉換這些聲波成為  $n$  個類比信號，並且提供這些類比信號至 ADC 88 用於轉換成為  $n$  個個別的數位信號。接著，該介面 90 係提供這些數位信號至該同等向量的機器 40 以供處理。例如

，該介面 90 可以作用為一個並列地從 ADC 88 接收該些數位信號並且接著串列地提供這些信號給該機器 40 之緩衝器。該機器 40 在該些數位信號上所執行之處理係決定該陣列 82 之接收束的型態。例如是濾波、帶移、頻譜轉換（例如，傅利葉轉換）、以及捲積（convolution）之額外的處理步驟係被應用到該些數位信號。該機器 40 接著係經由一個埠 94 提供該處理後的信號資料至另一個裝置，例如，用於觀看所找到的物體之顯示裝置。

儘管以上係結合該聲納系統 80 加以論述，但除了聲納系統以外的系統也可以納入該同等向量的機器 40。

先前的論述係被提出以使得熟習此項技術者能夠完成及使用本發明。對於熟習此項技術者而言，各種對於該些實施例的修改將會是相當明顯的，並且在此所述之上位的原理可以被應用至其它的實施例與應用，而不脫離本發明的精神與範疇。因此，本發明並非欲被限制於所展示的實施例，而是欲被授予和在此所揭露的原理及特點一致之最廣的範疇。

### 【圖式簡單說明】

#### （一）圖式部分

第 1 圖是具有一種習知的多處理器的架構之計算機器的方塊圖。

第 2 圖是一種習知的硬接線的管線之方塊圖。

第 3 圖是具有一種根據本發明的一個實施例之同等向量的架構之計算機器的概要方塊圖。

第 4 圖是一種結合有根據本發明的一個實施例之第 3 圖的同等向量的計算機器之電子系統的概要方塊圖。

(二) 元件代表符號

10 計算機器

12 主處理器

14<sub>1</sub>-14<sub>n</sub> 協同處理器

16 匯流排

18 輸入埠

20 輸出埠

22、24<sub>1</sub>-24<sub>n</sub>、26 記憶體

30 資料管線

32、32<sub>1</sub>-32<sub>n</sub> 運算子電路

40 計算機器

42 主機處理器

44 管線加速器

46 處理器之記憶體

48 介面記憶體

50 匯流排

52 韌體記憶體

54、56 輸入埠

58、60 輸出埠

61 路由器

62 處理單元

64 訊息處理機

- 66 處理單元之記憶體
- 68 處理機之記憶體
- 70 加速器配置的記錄處
- 72 訊息配置的記錄處
- 74、74<sub>1</sub>-74<sub>n</sub> 管線
- 80 聲納系統
- 82 換能器元件的陣列
- 84<sub>1</sub>-84<sub>n</sub> 換能器元件
- 86<sub>1</sub>-86<sub>n</sub> 數位至類比轉換器(DAC)
- 88<sub>1</sub>-88<sub>n</sub> 類比至數位轉換器(ADC)
- 90 資料介面
- 92、94 埠

## 拾、申請專利範圍：

1. 一種同等向量的機器，其係包括：

一個主機處理器，其係可運作以執行一個程式，並且回應於該程式而可運作以產生第一主機資料；以及

一個管線加速器，其係耦接至該主機處理器並且可運作以接收該第一主機資料以及從該第一主機資料產生第一管線資料。

2. 如申請專利範圍第 1 項之同等向量的機器，其中該主機處理器係更可運作以：

接收第二資料；以及

從該第二資料產生該第一主機資料。

3. 如申請專利範圍第 1 項之同等向量的機器，其中該主機處理器係更可運作以：

從該管線加速器接收該第一管線資料；以及

處理該第一管線資料。

4. 如申請專利範圍第 1 項之同等向量的機器，其中該主機處理器係更可運作以：

從該管線加速器接收該第一管線資料；以及

從該第一管線資料產生該第一主機資料。

5. 如申請專利範圍第 1 項之同等向量的機器，其更包括：

一個介面記憶體，其係耦接至該主機處理器與管線加速器，並且具有一個第一記憶體區段；

其中該主機處理器係可運作以，

儲存該第一主機資料在該第一記憶體區段中，以及

從該第一記憶體區段提供該第一主機資料至該管線加速器。

6. 如申請專利範圍第 1 項之同等向量的機器，其更包括：

一個介面記憶體，其係耦接至該主機處理器與管線加速器，並且具有第一與第二記憶體區段；

其中該主機處理器係可運作以，

儲存該第一主機資料在該第一記憶體區段中，

從該第一記憶體區段提供該第一主機資料至該管線加速器，

從該管線加速器接收該第一管線資料，

儲存該第一管線資料在該第二記憶體區段中，

從該第二記憶體區段取得該第一管線資料至該主機處理器，以及

處理該第一管線資料。

7. 如申請專利範圍第 1 項之同等向量的機器，其中該主機處理器係可運作以配置該管線加速器。

8. 如申請專利範圍第 1 項之同等向量的機器，其中該管線加速器係包括一個可程式化的邏輯積體電路。

9. 一種同等向量的機器，其係包括：

一個管線加速器，其係可運作以產生第一管線資料；

以及

一個主機處理器，其係耦接至該管線加速器，並且可運作以執行一個程式以及回應於該程式而可運作以接收該第一管線資料，並且從該第一管線資料產生第一主機資料。

10. 如申請專利範圍第 9 項之同等向量的機器，其中該管線加速器係更可運作以：

接收第二資料；以及

從該第二資料產生該第一管線資料。

11. 如申請專利範圍第 9 項之同等向量的機器，其中該管線加速器係更可運作以：

從該主機處理器接收該第一主機資料；以及

處理該第一主機資料。

12. 如申請專利範圍第 9 項之同等向量的機器，其中該管線加速器係更可運作以：

從該主機處理器接收該第一主機資料；以及

從該第一主機資料產生該第一管線資料。

13. 如申請專利範圍第 9 項之同等向量的機器，其更包括：

一個介面記憶體，其係耦接至該管線加速器與主機處理器，並且具有一個第一記憶體區段；並且

其中該主機處理器係可運作以，

儲存來自該管線加速器的第一管線資料在該第一記憶體區段中，以及

從該第一記憶體區段取得該第一管線資料。



14. 如申請專利範圍第 9 項之同等向量的機器，其更包括：

一個介面記憶體，其係耦接至該管線加速器與主機處理器，並且具有第一與第二記憶體區段；

其中該主機處理器係可運作以，

儲存來自該管線加速器的第一管線資料在該第一記憶體區段中，

從該第一記憶體區段取得該第一管線資料，

儲存該第一主機資料在該第二記憶體區段中，以及

從該第二記憶體區段提供該第一主機資料至該管線加速器；並且

其中該管線加速器係可運作以處理從該第二記憶體區段所接收的第一主機資料。

15. 如申請專利範圍第 9 項之同等向量的機器，其中該主機處理器係可運作以配置該管線加速器。

16. 一種系統，其係包括：

一個裝置，其係可運作以產生原始資料；

一個主機處理器，其係耦接至該裝置並且可運作以執行一個程式，以及回應於該程式而可運作以從該原始資料產生主機資料；以及

一個管線加速器，其係耦接至該主機處理器並且可運作以接收該主機資料以及從該主機資料產生管線資料。

17. 一種系統，其係包括：

一個裝置，其係可運作以產生原始資料；

一個管線加速器，其係耦接至該裝置並且可運作以從該原始資料產生管線資料；以及

一個主機處理器，其係耦接至該管線加速器並且可運作以執行一個程式以及回應於該程式而可運作以接收該管線資料並且從該管線資料產生主機資料。

18. 一種方法，其係包括：

藉由利用一個主機處理器執行一個程式以產生第一主機資料；以及

利用一個管線加速器以從該第一主機資料產生第一管線資料。

19. 如申請專利範圍第 18 項之方法，其更包括：

接收原始資料；

其中產生該第一主機資料係包括從該原始資料產生該第一主機資料。

20. 如申請專利範圍第 18 項之方法，其中產生該第一主機資料係包括從該第一管線資料產生該第一主機資料。

21. 如申請專利範圍第 18 項之方法，其更包括藉由利用該主機處理器執行該程式以從該第一管線資料產生第二主機資料。

22. 如申請專利範圍第 18 項之方法，其更包括藉由利用該主機處理器執行該程式以配置該管線加速器。

23. 一種方法，其係包括：

利用一個管線加速器以產生第一管線資料；以及

藉由利用一個主機處理器執行一個程式以從該第一管線資料產生第一主機資料。

24. 如申請專利範圍第 23 項之方法，其更包括：

接收原始資料；

其中產生該第一管線資料係包括從該原始資料產生該第一管線資料。

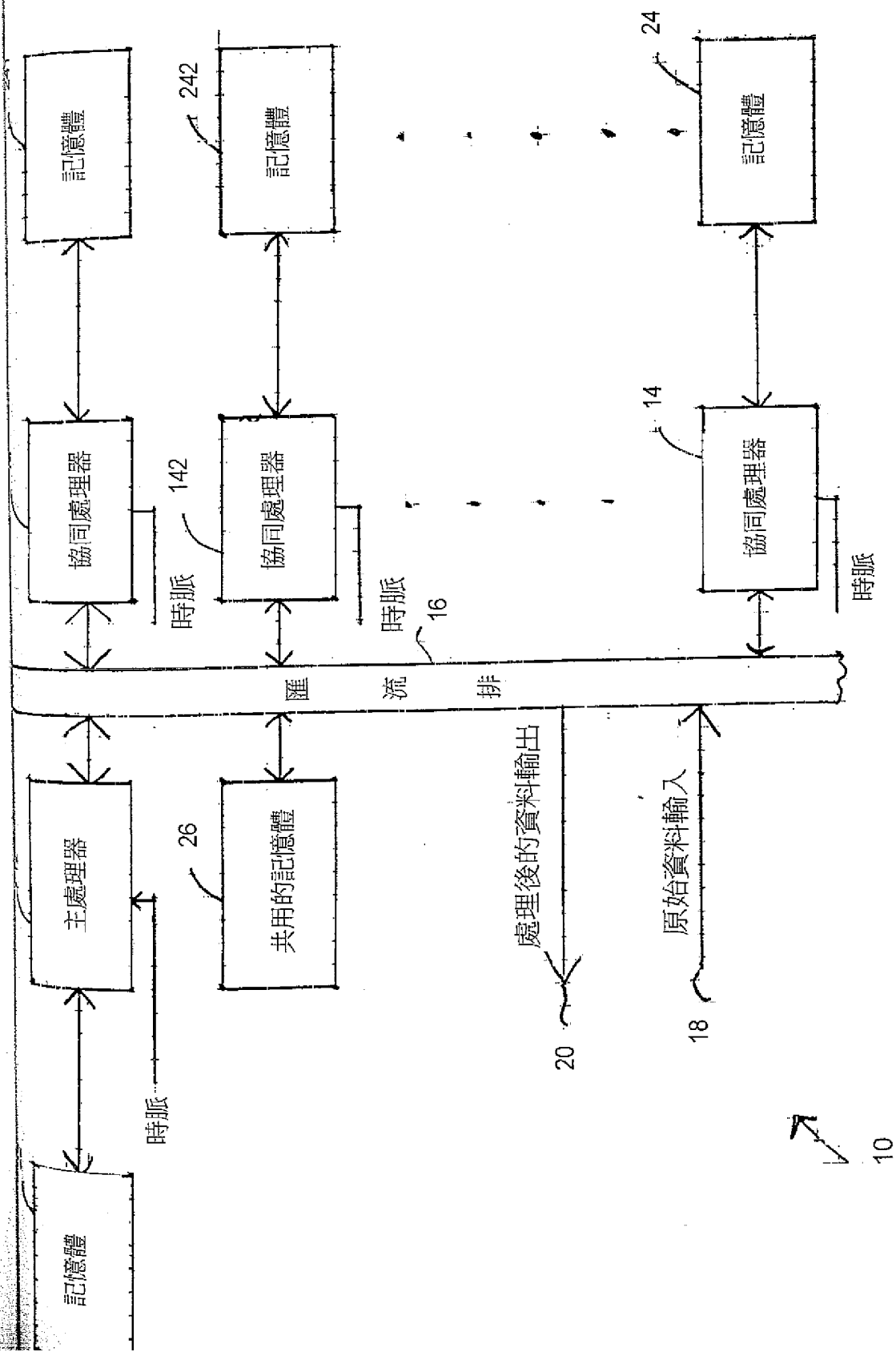
25. 如申請專利範圍第 23 項之方法，其中產生該第一管線資料係包括從該第一主機資料產生該第一管線資料。

26. 如申請專利範圍第 23 項之方法，其更包括利用該管線加速器以從該第一主機資料產生第二管線資料。

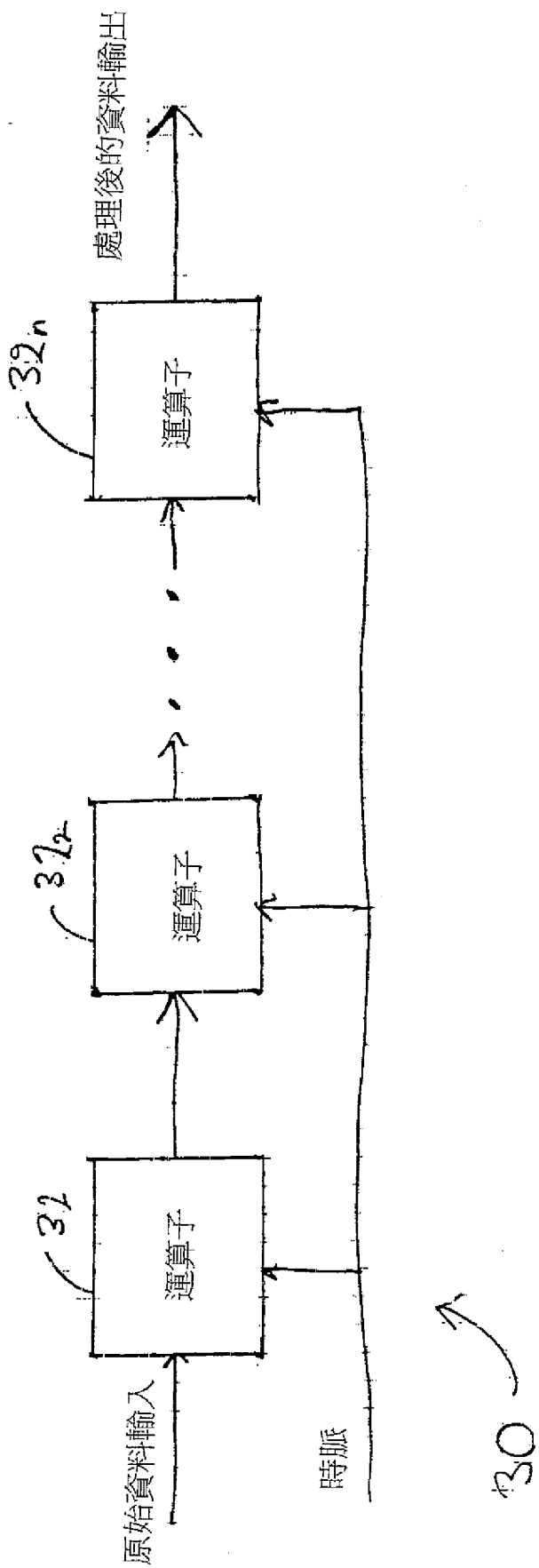
27. 如申請專利範圍第 23 項之方法，其更包括藉由利用該主機處理器執行該程式以配置該管線加速器。

## 拾壹、圖式：

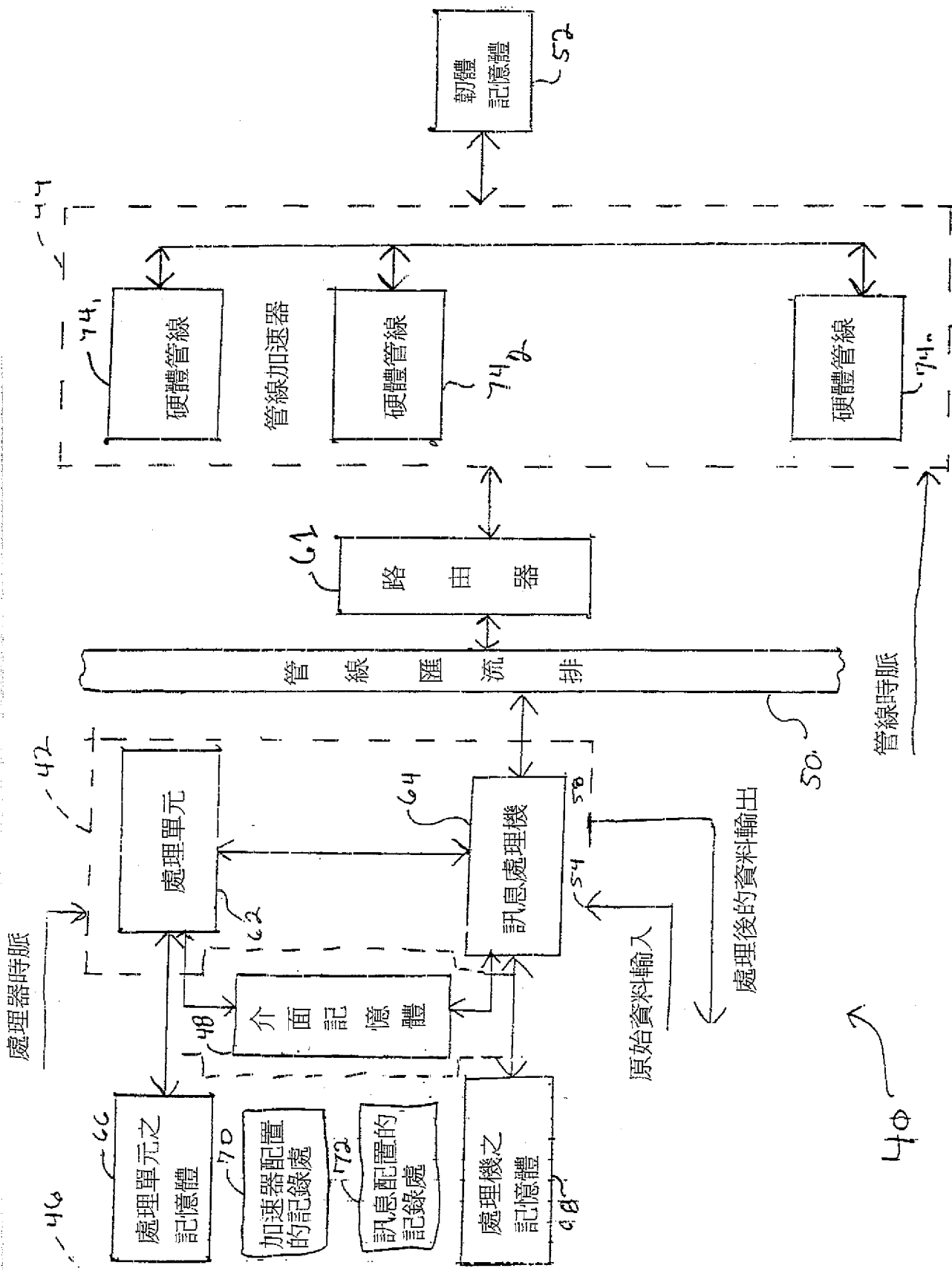
如次頁



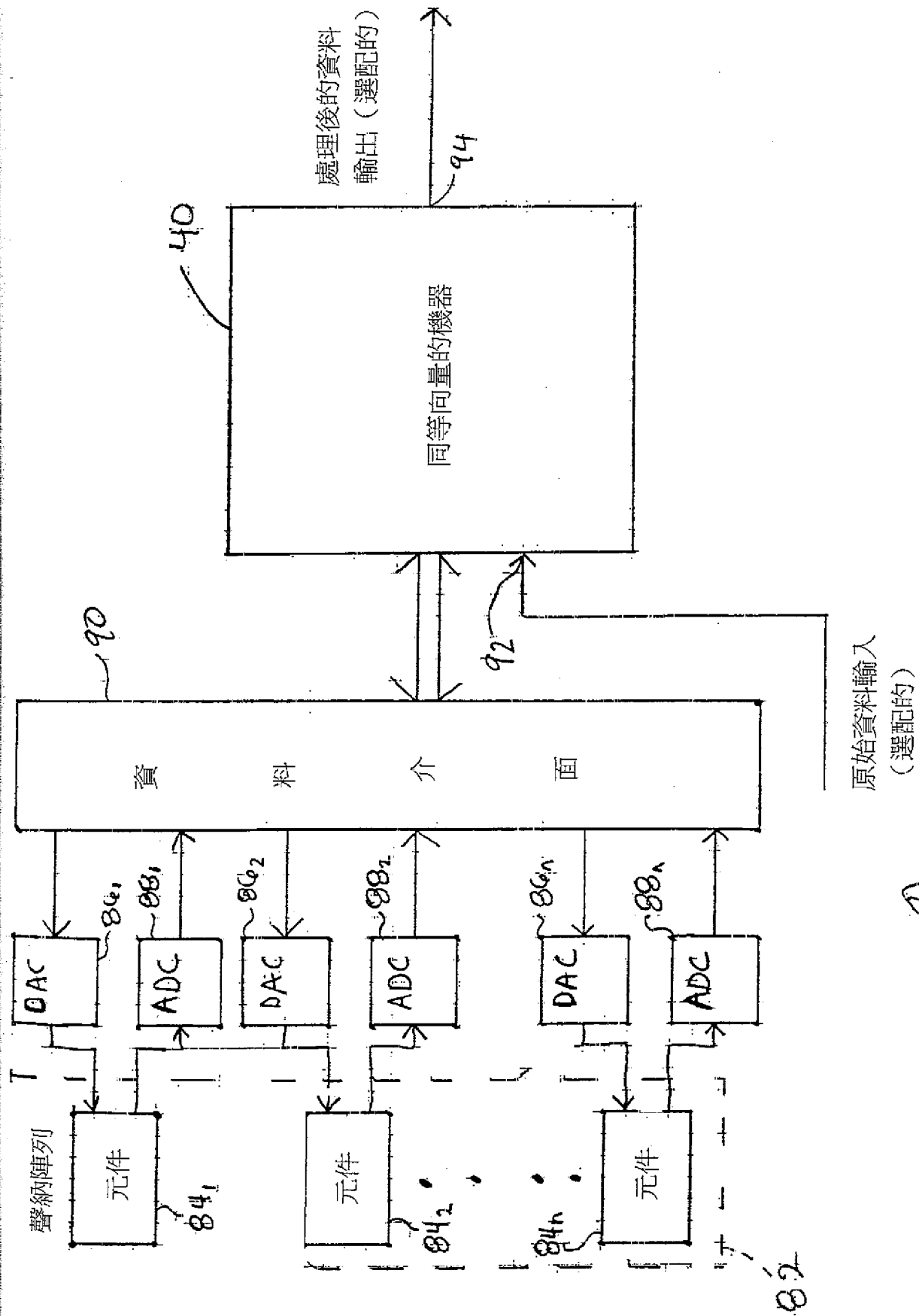
第 1 圖



第 2 圖



第 3 圖



第 4 圖